

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-217405

(43)Date of publication of application : 10.08.2001

(51)Int.Cl.

H01L 27/108
H01L 21/8242

(21)Application number : 2000-025226

(71)Applicant : HITACHI LTD

(22)Date of filing : 02.02.2000

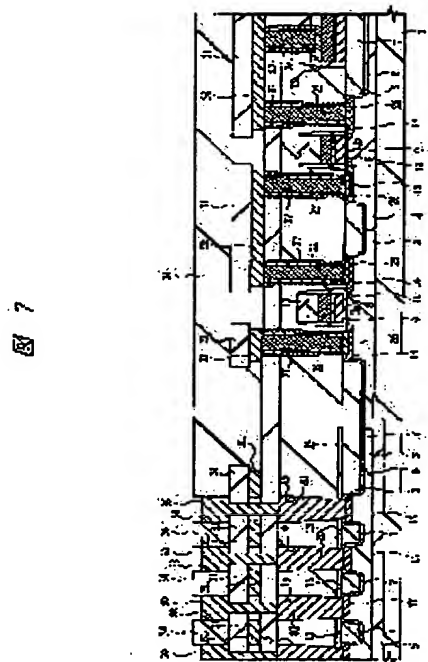
(72)Inventor : NAKAMURA YOSHITAKA
ASANO ISAMU
YAMADA SATORU
NAGAI AKIRA
MATSUOKA HIDEYUKI
TAKAURA NORIKATSU

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND MANUFACTURING METHOD THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To form a plug of a low resistance in a self-alignment manner between fine bit lines, and to suppress increase in capacitance between bit lines.

SOLUTION: A tungsten film and a silicon nitride film are deposited on a silicon oxide film, a bit line BL and a first layer wiring 32 comprising tungsten are formed by patterning the tungsten film and the silicon nitride film, and a cap insulating film 31 comprising the silicon nitride film is formed. Side walls of the bit line BL and the first layer wiring 32 are etched on the condition that the tungsten is processed on an isotropic etching. Further, the cap insulating film 31 is worked in such structure that the film 31 has some kind of hood against the bit line BL and the first layer wiring 32. A silicon oxide film is deposited, and a through hole 38 is formed on the silicon oxide film by selecting a condition that not the silicon nitride, but the silicon oxide is etched, followed by formation of a plug 39.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-217405

(P2001-217405A)

(43) 公開日 平成13年8月10日 (2001.8.10)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード (参考)
H 0 1 L 27/108		H 0 1 L 27/10	6 2 1 C 5 F 0 8 3
21/8242			6 8 1 B

審査請求 未請求 請求項の数 9 O L (全 30 頁)

(21) 出願番号 特願2000-25226 (P2000-25226)

(22) 出願日 平成12年2月2日 (2000.2.2)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 中村 吉孝

東京都青梅市新町六丁目16番地の3 株式

会社日立製作所デバイス開発センタ内

(72) 発明者 浅野 勇

東京都青梅市新町六丁目16番地の3 株式

会社日立製作所デバイス開発センタ内

(74) 代理人 100090001

弁理士 筒井 大和

最終頁に続く

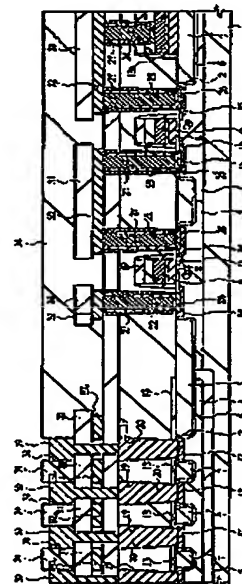
(54) 【発明の名称】 半導体集積回路装置およびその製造方法

(57) 【要約】

【課題】 プラグを低抵抗化し、微細化されたビット線間に自己整合的に形成するとともに、ビット線間の容量値の上昇を抑制する。

【解決手段】 シリコン酸化膜上にタングステン膜およびシリコン窒化膜を堆積し、これをパターニングしてタングステンからなるビット線B1および第1層配線32を形成し、シリコン窒化膜からなるキャップ絶縁膜31を形成する。タングステンが等方性エッチングされる条件でビット線B1および第1層配線32の側壁にエッチングを施し、ビット線B1および第1層配線32に対してキャップ絶縁膜31がひさしを有する形状に加工する。シリコン酸化膜34を堆積し、シリコン酸化膜はエッチングされるがシリコン窒化膜がエッチングされない条件を選択してシリコン酸化膜34にスルーホール38を形成し、プラグ39を形成する。

図 7



【特許請求の範囲】

【請求項1】 (a) 半導体素子が形成された半導体基板の上層に第1絶縁膜を形成する工程、

(b) 前記第1絶縁膜上に導電膜および第2絶縁膜を堆積し、前記第2絶縁膜および導電膜をパターニングしてキャップ絶縁膜および配線を形成する工程、

(c) 前記第1絶縁膜およびキャップ絶縁膜に対しエッチング選択比を有するガスまたは溶液を用いて前記配線の側壁をエッチングし、前記側壁を前記キャップ絶縁膜の下部に後退させる工程、

(d) 前記キャップ絶縁膜および配線を覆う第3絶縁膜を形成する工程、

(e) 前記第3絶縁膜に接続孔を形成する工程、
を有することを特徴とする半導体集積回路装置の製造方法、

【請求項2】 (a) 半導体素子が形成された半導体基板の上層に第1絶縁膜を形成する工程、

(b) 前記第1絶縁膜に配線溝を形成し、前記配線溝の内部を含む前記第1絶縁膜上に導電膜を堆積する工程、

(c) 前記配線溝を除く前記第1絶縁膜上の前記導電膜を除去し、前記配線溝内に前記導電膜を残存させて配線を形成する工程、

(d) 前記第1絶縁膜にエッチングを施して前記第1絶縁膜の表面を前記配線の表面より低く後退させる工程、

(e) 前記第1絶縁膜および配線の上に第2絶縁膜を堆積し、前記第2絶縁膜に異方性エッチングを施して、前記配線の側壁の前記第1絶縁膜上にサイドウォールスペーサを形成する工程、

(f) 前記サイドウォールスペーサおよび配線を覆う第3絶縁膜を形成する工程、

(g) 前記第3絶縁膜に接続孔を形成する工程、
を有することを特徴とする半導体集積回路装置の製造方法、

【請求項3】 請求項1または2記載の半導体集積回路装置の製造方法であって、

前記第2絶縁膜は、前記第3絶縁膜に対してエッチング選択比を有する材料で構成され、前記第3絶縁膜への前記接続孔の形成の際には、前記第3絶縁膜のエッチング速度が前記第2絶縁膜のエッチング速度より大きい条件で行われることを特徴とする半導体集積回路装置の製造方法、

【請求項4】 請求項3記載の半導体集積回路装置の製造方法であって、

前記第2絶縁膜はシリコン窒化膜であり、前記第3絶縁膜はシリコン酸化膜であることを特徴とする半導体集積回路装置の製造方法、

【請求項5】 請求項3または4記載の半導体集積回路装置の製造方法であって、

前記接続孔は、前記キャップ絶縁膜またはサイドウォールスペーサに対して自己整合的に形成されることを特徴

とする半導体集積回路装置の製造方法、

【請求項6】 半導体基板の主面に形成されたMISFETと、前記MISFETを覆う第1絶縁膜と、前記第1絶縁膜上に形成されたビット線と、前記ビット線上のキャップ絶縁膜と、前記キャップ絶縁膜およびビット線を覆う第3絶縁膜と、前記第3絶縁膜上に形成された情報蓄積用容量素子と、前記第3絶縁膜の接続孔に形成され、情報蓄積用容量素子の下部電極と前記MISFETのソース・ドレインとして機能する半導体領域とを電気的に接続する接続部材と、を有する半導体集積回路装置であって、

前記接続部材が前記キャップ絶縁膜に対して自己整合的に形成され、前記キャップ絶縁膜は前記第3絶縁膜に対してエッチング選択比を有する材料で構成されることを特徴とする半導体集積回路装置、

【請求項7】 半導体基板の主面に形成されたMISFETと、前記MISFET上に形成された第1絶縁膜と、前記第1絶縁膜の配線溝に形成され、前記第1絶縁膜の表面より高い標高でその表面が形成されたビット線と、前記ビット線の側壁に形成されたサイドウォールスペーサと、前記サイドウォールスペーサ、ビット線および第1絶縁膜を覆う第3絶縁膜と、前記第3絶縁膜上に形成された情報蓄積用容量素子と、前記第3絶縁膜の接続孔に形成され、情報蓄積用容量素子の下部電極と前記MISFETのソース・ドレインとして機能する半導体領域とを電気的に接続する接続部材と、を有する半導体集積回路装置であって、

前記接続部材が前記サイドウォールスペーサに対して自己整合的に形成され、前記サイドウォールスペーサは前記第3絶縁膜に対してエッチング選択比を有する材料で構成されることを特徴とする半導体集積回路装置、

【請求項8】 請求項6または7記載の半導体集積回路装置であって、

前記ビット線間の絶縁材料である第3絶縁膜または第1絶縁膜は、前記キャップ絶縁膜またはサイドウォールスペーサを構成する材料の誘電率より低い誘電率の材料で構成されることを特徴とする半導体集積回路装置、

【請求項9】 請求項6～8の何れか一項に記載の半導体集積回路装置であって、

前記第3または第1絶縁膜はシリコン酸化膜からなり、前記キャップ絶縁膜またはサイドウォールスペーサはシリコン窒化膜からなることを特徴とする半導体集積回路装置、

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体集積回路装置およびその製造技術に関し、特に、DRAM(Dynamic Random Access Memory)を有する半導体集積回路装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】DRAMのメモリセルは、一般に、半導体基板の主面上にマトリクス状に配置された複数のワード線と複数のビット線との交点に配置される。1個のメモリセルは、それを選択する1個のMISFET(Metal Insulator Semiconductor Field Effect Transistor)と、このMISFETに直列に接続された1個の情報蓄積用容量素子(キャパシタ)とで構成される。

【0003】メモリセル選択用のMISFETは、図面を素子分離領域で囲まれた活性領域に形成され、主として、ゲート酸化膜、ワード線と一体に構成されたゲート電極およびソース、ドレインを構成する一対の半導体領域で構成される。このMISFETは、通常1つの活性領域に2個形成され、2つのMISFETの一方のソース・ドレイン(半導体領域)が前記活性領域の中央部で共有される。ビット線は、前記MISFETの上部に配置され、共有された前記半導体領域と電気的に接続される。キャパシタは、同じく前記MISFETの上部に配置され、上記ソース、ドレインの他方と電気的に接続される。

【0004】半導体集積回路装置の微細化とキャパシタの容量値を確保する観点から、キャパシタはビット線の上部に配置される。いわゆるキャパシタ・オーバー・ビットライン(COB: Capacitor Over Bit-line)構造が採用されている。たとえば特開平7-7084号公報は、COB構造のDRAMを開示する。

【0005】COB構造を採用する場合、キャパシタの下部電極とMISFETの半導体領域とを接続する接続部材(プラグ)の間にビット線が配置されることになる。よってビット線とプラグとがショートしないように配置する必要がある。一方DRAMのメモリセルは最小加工寸法で形成されるため、ビット線とそのスペースも最小加工寸法で形成される。このため、ビット線の間を通してプラグを形成するには、最小加工寸法以下の口径で接続孔を加工するか、接続孔とビット線のレイアウトが重なっても障害を生じないような加工法を適用する必要がある。

【0006】最小加工寸法以下で接続孔を加工するには以下の方法がある。たとえば多結晶シリコン膜をハードマスクに適用し、所定の接続孔形成部に最小加工寸法で開口を形成する。その後さらに多結晶シリコン膜を堆積し、この多結晶シリコン膜に異方性エッチングを施して、開口側壁にサイドウォールスペースを形成する。このハードマスクとサイドウォールスペースをマスクにすれば、最小加工寸法で形成された開口より小さな径の接続孔を加工できる。

【0007】レイアウトが重なっても障害を生じないような加工法として、たとえばセルフアラインコンタクトの手法がある。ビット線の上面および側面を接続孔が形成される絶縁膜に対しエッチング選択比を持つ絶縁膜で覆う。たとえば接続孔が形成される絶縁膜はシリコン酸

化膜であり、ビット線を覆う絶縁膜はシリコン窒化膜である。接続孔加工(シリコン酸化膜のエッチング)の際には、シリコン窒化膜がエッチングされ難い条件を選択してエッチングする。このようにすれば、仮に接続孔パターンがビット線に重なってもビット線はエッチングされ難いシリコン窒化膜で覆われているため、接続孔内にビット線表面が露出することはなくプラグとビット線とのショートは防止できる。

【0008】

10 【発明が解決しようとする課題】しかし、従来方法には以下の問題がある。

【0009】まず、最小加工寸法以下で接続孔を加工する場合には、そもそも加工工程が複雑であり、加工に困難性が伴うという問題がある。加工の困難性は歩留まりの低下を招き好ましくない。加えて、口径の小さな接続孔内に形成されるため、プラグ径が小さくなるという問題がある。プラグ径の縮小はプラグの抵抗値が高くなり素子特性を劣化させる要因になる。また、マスク合わせのずれを考慮してプラグとビット線のショート(パターンの重なり)を生じないように設計するため、ビット線を極力細く形成しなければならない。このためビット線の微細化による抵抗値の上昇も問題になる。

【0010】セルフアラインコンタクト手法を用いる場合、ビット線を囲む材料は層間絶縁膜(シリコン酸化膜)に対して高いエッチング選択比が要求される。このような材料には現実的にはシリコン窒化膜が存在する。ところが、シリコン窒化膜は誘電率が高いという問題がある。ビット線はDRAMのメモリセルに蓄積された電荷の有無を検出するための配線であり周辺回路領域においてセンスアンプに接続される。電荷の検出はメモリセルに蓄積された電荷によるビット線の電圧変動を検出する。この電圧変動はメモリセルのキャパシタ容量が大きいほど、あるいはビット線容量(浮遊容量)が小さいほど大きくなる。すなわち、ビット線容量を小さくすることはセンスアンプの感度を向上することとなる。素子の信頼性向上、応答速度等性能の向上の観点から、ビット線容量はできるだけ低いことが好ましい。ところが、シリコン窒化膜はシリコン酸化膜と比較して誘電率が大きく、このような誘電率の大きなシリコン窒化膜がビット線の側壁(ビット線間)に形成されることとなるため、ビット線容量が大きくなって好ましくない。

【0011】本発明の目的は、微細化されたビット線間の容量を低減することにある。

【0012】また、本発明の目的は、微細化されたビット線の間に配置されるプラグの抵抗を低くすることにある。

【0013】また、本発明の目的は、十分に低い抵抗のプラグを微細化されたビット線間に自己整合的に形成するとともに、ビット線間の容量値の上昇を抑制することにある。

【0014】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0015】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0016】本発明の半導体集積回路装置の製造方法は、半導体基板上の何れかの層に第1絶縁膜を形成し、第1絶縁膜上に導電膜および第2絶縁膜を堆積し、第2絶縁膜および導電膜をパターニングしてキャップ絶縁膜および配線を形成し、第1絶縁膜およびキャップ絶縁膜に対しエッチング選択比を有するガスまたは溶液を用いて配線の側壁をエッチングし、側壁をキャップ絶縁膜の下部に後退させ、キャップ絶縁膜および配線を覆う第3絶縁膜を形成し、第3絶縁膜に接続孔を形成するものである。

【0017】また、本発明の半導体集積回路装置の製造方法は、半導体基板上の何れかの層に第1絶縁膜を形成し、第1絶縁膜に配線溝を形成し、配線溝の内部を含む第1絶縁膜上に導電膜を堆積し、この配線溝内のみ導電膜を残存させて配線を形成し、第1絶縁膜にエッチングを施して第1絶縁膜の表面を配線の表面より低く後退させ、第1絶縁膜および配線上に第2絶縁膜を堆積し、第2絶縁膜に異方性エッチングを施して、配線の側壁の第1絶縁膜上にサイドウォールスペーサを形成し、サイドウォールスペーサおよび配線を覆う第3絶縁膜を形成し、第3絶縁膜に接続孔を形成するものである。

【0018】ここで第2絶縁膜は、第3絶縁膜に対してエッチング選択比を有する材料で構成され、第3絶縁膜への接続孔の形成の際には、第3絶縁膜のエッチング速度が第2絶縁膜のエッチング速度より大きい条件で行われる。たとえば第2絶縁膜はシリコン窒化膜であり、第3絶縁膜はシリコン酸化膜である。また、接続孔は、キャップ絶縁膜またはサイドウォールスペーサに対して自己整合的に形成される。

【0019】本発明の半導体集積回路装置は、半導体基板の主面に形成されたMISFETと、MISFETを覆う第1絶縁膜と、第1絶縁膜上に形成されたビット線と、ビット線上のキャップ絶縁膜と、キャップ絶縁膜およびビット線を覆う第3絶縁膜と、第3絶縁膜上に形成された情報蓄積用容量素子と、第3絶縁膜の接続孔に形成され、情報蓄積用容量素子の下部電極とMISFETのソース・ドレインとして機能する半導体領域とを電気的に接続する接続部材と、を有する半導体集積回路装置であって、接続部材がキャップ絶縁膜に対して自己整合的に形成され、キャップ絶縁膜は第3絶縁膜に対してエッチング選択比を有する材料で構成される。

【0020】また、本発明の半導体集積回路装置は、半導体基板の主面に形成されたMISFETと、MISF

ET上に形成された第1絶縁膜と、第1絶縁膜の配線溝に形成され、第1絶縁膜の表面より高い標高でその表面が形成されたビット線と、ビット線の側壁に形成されたサイドウォールスペーサと、サイドウォールスペーサ、ビット線および第1絶縁膜を覆う第3絶縁膜と、第3絶縁膜上に形成された情報蓄積用容量素子と、第3絶縁膜の接続孔に形成され、情報蓄積用容量素子の下部電極とMISFETのソース・ドレインとして機能する半導体領域とを電気的に接続する接続部材と、を有する半導体集積回路装置であって、接続部材がサイドウォールスペーサに対して自己整合的に形成され、サイドウォールスペーサは第3絶縁膜に対してエッチング選択比を有する材料で構成される。

【0021】ここで、ビット線間の絶縁材料である第3絶縁膜または第1絶縁膜は、キャップ絶縁膜またはサイドウォールスペーサを構成する材料の誘電率より低い誘電率の材料で構成される。たとえば第3または第1絶縁膜はシリコン酸化膜からなり、キャップ絶縁膜またはサイドウォールスペーサはシリコン窒化膜からなる。

【0022】これら半導体集積回路装置の製造方法あるいは半導体集積回路装置によれば、キャップ絶縁膜あるいはサイドウォールスペーサに対して自己整合的に接続孔が形成されるため、接続孔内のブラグは十分大きな寸法で形成でき、加工困難性、抵抗値低下の問題を回避できる。また、ビット線間の絶縁材料にはシリコン酸化膜が用いられるため、ビット線間容量を小さくできる。

【0023】

【発明の実施の形態】以下、本発明の実施の形態を図面に基いて詳細に説明する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0024】（実施の形態1）図1～図12は、本発明の一実施の形態であるDRAM（Dynamic Random Access Memory）の製造方法を工程順に示した断面図である。なお、基板の断面を示す各図の左側部分はDRAMのメモリセルが形成される領域（メモリセルアレイ）を示し、右側部分は周辺回路領域を示している。また、メモリセル領域における断面図はビット線に垂直な断面を示し、よって、メモリセル領域に形成される選択MISFETは図面には現れない。

【0025】まず、図1に示すように、半導体基板（以下単に基板という）1上にメモリセルの選択MISFETQs（図示せず）、周辺回路のnチャネル型MISFETQnおよびpチャネル型MISFETQpを形成し、さらに、これらMISFETQs、Qn、Qpを覆う層間絶縁膜およびブラグを形成する。

【0026】基板1には素子分離溝2が形成され、ウェット酸化あるいはドライ熱酸化により膜厚の薄いシリコン酸化膜6を形成した後、たとえばシリコン酸化膜7を素子分離溝2に埋め込む。これをたとえばCMP（Chem

ical Mechanical Polishing) 法により研磨して素子分離溝2の内部に残し、素子分離領域を形成する。さらに、基板1にp型もしくはn型のイオン注入を施し、メモリセルアレイの基板1にp型ウェル3およびn型ウェル5を形成し、周辺回路領域の基板1にp型ウェル3およびn型ウェル4を形成する。その後、約800℃の熱酸化でp型ウェル3およびn型ウェル4のそれぞれの表面に清浄なゲート酸化膜8を形成する。

【0027】MISFETQs、Qn、Qpは以下のようにして形成する。すなわち、ゲート酸化膜8上に、不純物がドーブされた多結晶シリコン膜をたとえばCVD法で堆積し、その後、たとえばスパッタリング法でW膜とW膜とを堆積する。さらにその上部にCVD法でシリコン酸化膜を堆積する。上記W膜の応力緩和とW膜のデンシファイ（緻密化）とを目的とした熱処理を施した後、前記シリコン酸化膜の上部に窒化シリコン膜を堆積する。この窒化シリコン膜をゲート電極パターンにパターニングした後、窒化シリコン膜をマスクにして前記シリコン酸化膜、W膜、W膜および多結晶シリコン膜をドライエッチングする。これにより、多結晶シリコン膜、W膜およびW膜からなるゲート電極9が形成される。さらに、これらのゲート電極9の上部にシリコン酸化膜および窒化シリコン膜からなるキャップ絶縁膜10が形成される。

【0028】次に、ゲート電極9の両側のp型ウェル3にn型不純物（リンまたはヒ素）をイオン打ち込みすることによってn⁻型半導体領域11を形成し、n型ウェル4にp型不純物（ホウ素）をイオン打ち込みすることによってp⁺型半導体領域12を形成する。さらに、基板1上に窒化シリコン膜13を堆積した後、メモリセルアレイの基板1の上部をフォトレジスト膜（図示せず）で覆い、周辺回路領域の窒化シリコン膜13を異方的にエッチングすることによって、周辺回路領域のゲート電極9の側壁にサイドウォールスペース13aを形成する。さらに、周辺回路領域のp型ウェル3にn型不純物（リンまたはヒ素）をイオン打ち込みすることによってn⁺型半導体領域14（ソース、ドレイン）を形成し、n型ウェル4にp型不純物（ホウ素）をイオン打ち込みすることによってp⁺型半導体領域15（ソース、ドレイン）を形成する。ここまでの工程で、周辺回路領域にLDD（Lightly Doped Drain）構造のソース、ドレインを備えたnチャネル型MISFETQnおよびpチャネル型MISFETQpが形成される。

【0029】次に、ゲート電極9の上部にシリコン酸化膜16（たとえばTEOS酸化膜）を堆積し、これをCMP法で研磨してその表面を平坦化する。その後、フォトレジスト膜（図示せず）をマスクにしてメモリセルアレイのシリコン酸化膜16をドライエッチングし、さらに、シリコン酸化膜16の下層の窒化シリコン膜13をドライエッチングして2段階のエッチングによりコンタ

クトホール19を形成する。上記コンタクトホール19を通じてメモリセルアレイのp型ウェル3にn型不純物（リンまたはヒ素）のイオンを打ち込み、n⁺型半導体領域17（ソース、ドレイン）を形成する。ここまでの工程で、メモリセルアレイにnチャネル型で構成されるメモリセル選択用MISFETQsが形成される。その後、コンタクトホール19の内部に不純物がドーブされた多結晶シリコン膜を埋め込んでプラグ20を形成する。プラグ20は埋め込まれた多結晶シリコン膜をエッチバック（またはCMP法で研磨）して形成する。さらに、シリコン酸化膜16の上部にたとえばCVD法でシリコン酸化膜21を堆積した後、フォトレジスト膜（図示せず）をマスクにしたドライエッチングで周辺回路領域のシリコン酸化膜21およびその下層のシリコン酸化膜16をドライエッチングする。これによりn⁺型半導体領域14、p⁺型半導体領域15、ゲート電極9の上部に各々コンタクトホール22、23、24を形成する。その後、コンタクトホール22、23の底部にシリサイド膜26を形成し、コンタクトホール22、23、24の内部にプラグ27を形成する。シリサイド膜26の形成はTi膜とTiN膜とを堆積した後、基板1を約650℃で熱処理することによって、プラグ27の形成はたとえばCVD法でTiN膜およびW膜を堆積した後、これをCMP法で研磨し、コンタクトホール22、23、24の内部のみに残すことによって行う。

【0030】次に、図2に示すように、シリコン酸化膜21上にタングステン膜28およびシリコン窒化膜29を堆積する。タングステン膜28は、後にビット線BLおよび周辺回路の第1層配線となるものであり、シリコン窒化膜29は、ビット線BLおよび第1層配線のキャップ絶縁膜となるものである。タングステン膜28はスパッタ法またはCVD法により形成でき、シリコン窒化膜29はCVD法により形成できる。

【0031】次に、図3に示すように、シリコン窒化膜29上にフォトレジスト膜30を形成する。フォトレジスト膜30は、ビット線BLおよび第1層配線のパターンに形成される。そしてこのフォトレジスト膜30をマスクとしてシリコン窒化膜29およびタングステン膜28をエッチングし、ビット線BLおよび周辺回路の第1層配線32を形成する。また、ビット線BLおよび第1層配線32の上面にはキャップ絶縁膜31が形成される。ここで、フォトレジスト膜30をマスクとしてタングステン膜28までエッチングしたが、フォトレジスト膜30をマスクとしてシリコン窒化膜29をエッチングし、このパターニングされたシリコン窒化膜（キャップ絶縁膜31）をマスクとしてタングステン膜28をエッチングしても良い。

【0032】次に、図4に示すように、フォトレジスト膜30を除去し、等方性エッチングを施して、ビット線BLおよび第1層配線32の側壁を後退させる。すなわ

ち、ビット線B1および第1層配線32に対してキャップ絶縁膜31がひさし状になるように形成する。ビット線B1および第1層配線32はタングステンからなるため、タングステンはエッチングされるがシリコン酸化膜およびシリコン窒化膜はエッチングされないエッチング条件であればよい。またこのエッチングはドライエッチング、ウェットエッチングのどちらでも良いが、等方性エッチングである必要がある。ドライエッチングの場合はボンバードメント等物理的な作用が支配的でなく化学的な作用が支配的なエッチングガスやエッチング条件を

【0033】次に、図5に示すように、ビット線B1、第1層配線32、キャップ絶縁膜31を覆うシリコン酸化膜34を形成する。このシリコン酸化膜34は、前記シリコン酸化膜16と同様の方法で形成する。

【0034】次に、図6に示すように、シリコン酸化膜34上にフォトリソレジスト膜35を形成し、フォトリソレジスト膜35をマスクとしてシリコン酸化膜34に異方性エッチングを施し、スルーホール38を形成する。このエッチングはシリコン酸化膜はエッチングされるがシリコン窒化膜はエッチングされない条件で行う。

【0035】フォトリソレジスト膜35に形成された開口は最小加工寸法で形成するが、特に最小加工寸法以下にスルーホールが形成されるような手段はとらない。すなわち、多結晶シリコン膜等のハードマスクを用い、このハードマスクの開口側壁にサイドウォールスペーサを形成して、サイドウォールスペーサとハードマスクとをマスクに用いてスルーホールを加工するような手段はとらない。このため、スルーホール38の加工について複雑な工程を採用することなく、工程を簡略化できる。

【0036】スルーホール38は最小加工寸法で加工されるが、ビット線B1も最小加工寸法で形成されるため、スルーホール38のパターンとビット線B1のパターンが重なる場合が生じる。しかし、本実施の形態では、キャップ絶縁膜31が形成されており、このキャップ絶縁膜31はシリコン窒化膜で構成されているので、スルーホール38加工のためのエッチングにおいてはエッチング選択比を有する。このため、スルーホール38のパターンがビット線B1パターンと重なっていてもシリコン窒化膜であるキャップ絶縁膜31がエッチングストップとなり、ビット線B1が露出することはない。また、キャップ絶縁膜31はビット線B1に対してひさしとなるように形成されているので、ビット線B1の側壁はキャップ絶縁膜31の端部より内側に後退して形成されており、スルーホール38に露出することもない。

【0037】また、スルーホール38はビット線B1に対して自己整合的に形成される。このため、微細に加工されたビット線B1間に容易にスルーホール38を形成することができる。

【0038】次に、図7に示すように、スルーホール3

8の内部にプラグ39を形成する。プラグ39は、スルーホール38の内部を含むシリコン酸化膜34の上部にn型不純物(リン)をドーパした低抵抗多結晶シリコン膜をCVD法で堆積した後、この多結晶シリコン膜をエッチバックしてスルーホール38の内部のみに残すことによって形成する。次工程で説明するバリア膜40を形成するために、エッチバックを若干過剰に行い、プラグ39の表面がシリコン酸化膜34表面よりも低く、すなわちスルーホール38の上部に凹部が形成されるようにする。

【0039】スルーホール38の断面形状は図示するようにキャップ絶縁膜31に達するまでは太く形成される。これは最小加工寸法以下でスルーホールが形成されるような手段をとらないためであり、プラグが細く形成されプラグの抵抗値が増加する不具合を是正するのに役立つ。一方、キャップ絶縁膜31よりも低い位置ではプラグ39は細く形成される。キャップ絶縁膜31がエッチングストップとして機能し、キャップ絶縁膜31の間隙にスルーホール径が制限されることによる。これによりプラグ39はビット線B1(キャップ絶縁膜31)に対して自己整合的に形成される。

【0040】このように、本実施の形態のプラグ39は、ビット線B1(キャップ絶縁膜31)に対して自己整合的に形成されるが、ビット線B1間の絶縁膜はシリコン酸化膜34で構成される。すなわち誘電率の高いシリコン窒化膜で構成されない。このため、自己整合的な加工法を用いて微細なプラグ39が形成できるにもかかわらず、ビット線B1間の絶縁膜の誘電率を低減して、ビット線容量を低減することができる。これによりキャパシタに蓄積された電荷の検出感度を向上して実効的な信号量を増加できる。

【0041】次に、図8に示すように、プラグ39上にバリア膜40を形成する。バリア膜40の材料は、たとえばタングステン(W)、タングステナイトライド(WN)、チタナイトライド(TiN)、タンタルナイトライド(TaN)、チタンアルミニウムナイトライド(TiAlN)、チタンシリコンナイトライド(TiSiN)、タンタルシリコンナイトライド(TaSiN)、タングステンシリコンナイトライド(WSiN)、ルテニウムシリサイド(RuSi)、タングステンボライド(WB)、チタンボライド(TiB)、タングステンカーバイド(WC)、チタンカーバイド(TiC)等が例示できる。これらの材料を用いたバリア膜40は、後に説明するキャパシタ絶縁膜の酸化処理工程において、酸素の拡散をブロックする機能を有する。

【0042】バリア膜40は、たとえばプラグ39およびシリコン酸化膜34の表面にバリア膜40の材料である被膜をCVD法またはスパッタ法により形成し、これをCMP法により研磨し、プラグ39上の凹部(スルーホール38の上部)にのみバリア膜40を残すことによ

り形成する。

【0043】次に、図9に示すように、シリコン酸化膜34上にシリコン窒化膜41およびシリコン酸化膜42を順次堆積し、シリコン窒化膜41およびシリコン酸化膜42に孔43を形成して、この孔43内にルテニウムを埋め込み、キャパシタの下部電極45を形成する。

【0044】シリコン窒化膜41とシリコン酸化膜42は、たとえばCVD法により形成できる。シリコン窒化膜41は後に説明する下部電極の機械的強度を保持するために形成する。シリコン窒化膜41の膜厚はたとえば100nmとする。また、シリコン酸化膜42は後に説明する下部電極の形成に用いる。シリコン酸化膜42の膜厚は下部電極の高さを決定する要素となり、キャパシタに要求される容量値から逆算して求められる。下部電極を0.13μmの柱状で加工し、キャパシタ絶縁膜としてBST膜を用いてシリコン酸化膜換算の実効膜厚を0.4nmにすることを前提とすれば、シリコン酸化膜42の膜厚は700nmとなる。これにより下部電極のキャパシタとして寄与する部分の高さは700nmとなり、キャパシタの容量値として40fFを確保できる。

【0045】孔43の形成には、まず、シリコン酸化膜42上にフォトレジスト膜（図示せず）を形成してこれをパターニングする。本実施の形態では、シリコン酸化膜34の形成にCMP法による研磨が用いられているため、シリコン酸化膜34の平坦性が高く、このためシリコン酸化膜42表面の平坦性も高く維持される。このため、シリコン酸化膜42上に形成されるフォトレジスト膜への露光を精密に行うことができる。このフォトレジスト膜は下部電極形成のためのものであり最小加工寸法でパターニングする必要がある。従って、露光精度を高くできることはこのフォトレジスト膜のパターニングにおいては非常に都合がよい。フォトレジスト膜は、たとえば0.13μmの開口径でパターニングされる。次に、このフォトレジスト膜をマスクとしてシリコン酸化膜42およびシリコン窒化膜41にエッチングを施し、孔43を形成する。このエッチングには2段階のエッチングを施すことができる。すなわち、第1のエッチングは、シリコン酸化膜がエッチングされるがシリコン窒化膜がエッチングされ難い条件で行い、シリコン酸化膜42を十分なオーバーエッチングの下でエッチング加工する。この際、シリコン窒化膜41はエッチングストップとして機能する。その後、第2のエッチングをシリコン窒化膜がエッチングされる条件で行う。このエッチングは、シリコン窒化膜41がシリコン酸化膜42と比較して十分に薄い膜厚で形成されているため、多少のオーバーエッチングを施しても下地であるシリコン酸化膜34が過剰にエッチングされることがない。このため、微細な開口径の孔43を高いアスペクト比であっても高精度に加工することが可能となる。

【0046】下部電極45の形成は以下のように行う。

孔43を埋め込むようにルテニウム膜を形成する。ルテニウム膜の膜厚は、たとえば100nm~200nmとする。また、ルテニウム膜の形成にはCVD法を用いる。ソース（原料）ガスは、たとえば、Ru(BtCp)₂/THFを0.5sccm、O₂を50sccmとする。ただし、BtCpはブチルシクロペンタ基(C₄H₉(C₄H₇)-)である。THFはテトラヒドロフラン(C₄H₈O)であり、溶剤として作用する。ここでは、ルテニウム膜を例示しているが、ルテニウムに代えて白金を用いても良い。白金をCVD法により堆積する場合には、ソース（原料）ガスとして、たとえば、(MeCp)Pt(Me)₂とO₂とを用いることができる。ただし、Meはメチル基(CH₃-)であり、MeCpはメチルシクロペンタ基(C₅H₇(CH₃)-)である。

【0047】その後、シリコン酸化膜42上のルテニウム膜をエッチバック法により除去し、孔43内にのみルテニウム膜を残して、下部電極45を形成する。エッチバック法に代えてCMP法を用いても良い。

【0048】なお、下部電極45の形成後、ルテニウムをデンスファイ（焼き締め）するための熱処理を施しても良い。これにより下部電極45（ルテニウム）の応力緩和を行える。

【0049】次に、図10に示すように、シリコン酸化膜42を除去して、下部電極45の側面を露出する。シリコン酸化膜42の除去には、たとえばウェットエッチング法を用いる。このとき、シリコン窒化膜41がエッチングストップとして機能する。

【0050】その後、BST膜46を形成する。BST膜46は、DRAMのキャパシタ絶縁膜として機能する。BST膜46の膜厚はたとえば20~30nmとし、CVD法により形成する。さらに、アズデボ状態のBST膜46では、酸素欠陥が多いため、酸素欠陥を回復するための酸化熱処理を行う。酸化熱処理は、たとえば酸素雰囲気中、500℃~700℃の温度範囲の条件で行う。ここでは酸素雰囲気を例示したが、酸素に限られず、酸化窒素(NO、N₂O)、オゾン(O₃)等の酸化性雰囲気でも良い。本実施の形態では、下部電極45にルテニウムを用いるため、BST膜46の形成とその後の酸化処理により下部電極45とBST膜46の界面に誘電体が形成されることがない。すなわち、BST膜46の堆積には酸素または酸素を含むガスが原料として用いられ、また、酸化処理においてはBST膜46を透過して活性な酸素が下部電極45との界面にまで達する。このため、下部電極45表面が酸化され、下部電極45とBST膜46との界面にルテニウムの酸化物（酸化ルテニウム）が形成される。しかし、酸化ルテニウムは導電性物質であり、酸化物の形成により容量絶縁膜の実効膜厚が厚くなることがない。特に、BST膜46の誘電率が高いため、低誘電率の絶縁膜が形成されないメ

リットは大きい。

【0051】次に、BST膜46上に上部電極となる導電膜を形成する。導電膜としては、窒化チタン膜、ルテニウム膜、タングステン膜、ルテニウム膜とタングステン膜あるいは窒化チタン膜との積層膜とすることができ

る。
【0052】次に、図11に示すように、導電膜およびBST膜46をエッチングする。これにより上部電極49と、BST膜46からなるキャパシタ絶縁膜50とを形成する。また、このとき同時にシリコン窒化膜41もエッチングして除去する。これにより周辺回路部のシリコン窒化膜41が除去され、後に周辺回路部にスルーホールが形成される際のエッチングを容易にすることができ

る。
【0053】次に、図12に示すように、上部電極49を覆うシリコン酸化膜52を形成する。シリコン酸化膜52は、たとえばTEOS酸化膜の堆積とCMP法による研磨により表面を平坦化して形成できる。シリコン酸化膜52にフォトリソグラフィとエッチングを用いてスルーホール56、57を形成し、スルーホール56、57の内部を含むシリコン酸化膜52上にバリア膜である窒化チタン膜58およびタングステン膜59を堆積する。窒化チタン膜58およびタングステン膜59の堆積にはたとえばCVD法を用いる。窒化チタン膜58はスルーホール56、57の内壁に沿うように形成し、タングステン膜59はスルーホール56、57を埋め込むように形成する。次に、エッチバック法またはCMP法を用いて、シリコン酸化膜52上の窒化チタン膜58およびタングステン膜59を除去する。これによりプラグ60を形成する。

【0054】次に、プラグ60に接続する第2層配線を形成する。第2層配線は、シリコン酸化膜52上に形成されたシリコン窒化膜61とその上層のシリコン酸化膜62の溝63に形成される。溝63はシリコン酸化膜62上に形成されたフォトレジスト膜（図示せず）をマスクとして、2段階のエッチングにより形成される。すなわち、シリコン酸化膜がエッチングされるがシリコン窒化膜がエッチングされない条件の第1段階のエッチングによりシリコン酸化膜62をエッチングし、その後シリコン窒化膜がエッチングされる第2の段階のエッチングによりシリコン窒化膜61をエッチングする。これにより、下地であるシリコン酸化膜52の過剰なエッチングを防止できる。

【0055】溝63内への第2層の配線は、タンタル、窒化チタン等のバリア膜64の堆積後、銅膜65をメッキ法あるいはスパッタ法により形成し、その後これをCMP法により研磨して溝63内のみを残すことにより形成する。

【0056】その後、層間絶縁膜、第3層配線等上層配線を形成することができるが、説明を省略する。

【0057】本実施の形態によれば、ビット線BL上にひさし状のキャップ絶縁膜31を有するため、ビット線BLに対して自己整合的にスルーホール38が形成できる。また、自己整合的にスルーホール38が形成できるにもかかわらず、ビット線BL間の絶縁膜はシリコン酸化膜34とすることができ、ビット線BL間の容量を低減することができる。また、本実施の形態では最小加工寸法以下にスルーホール38を形成しないため工程を簡略化し、加工マージンを向上できる。これらの効果により歩留まりを向上し、リフレッシュ特性等DRAMの性能および信頼性を向上できる。

【0058】（実施の形態2）図13～図19は、本発明の他の実施の形態であるDRAMの製造方法を工程順に示した断面図である。実施の形態1と同様、基板の断面を示す各図の左側部分はDRAMのメモリセルが形成される領域（メモリセルアレイ）を示し、右側部分は周辺回路領域を示している。本実施の形態の製造方法は、実施の形態1における図1までの工程と同様であり、その詳細な説明は省略する。

【0059】図13に示すように、シリコン酸化膜70をシリコン酸化膜21上に堆積後、シリコン酸化膜70上にフォトレジスト膜71を形成し、フォトレジスト膜71をマスクとしてシリコン酸化膜70をエッチングする。これにより配線用の溝72を形成する。シリコン酸化膜70はたとえばTEOS酸化膜とすることができ、シリコン酸化膜70はビット線BLおよび第1層配線形成用の絶縁膜として機能する。従ってシリコン酸化膜70の膜厚は、形成しようとするビット線および第1層配線の厚さに相当する膜厚で形成する。フォトレジスト膜71は、ビット線BLおよび第1層配線が形成される領域に開口が形成されるようにパターニングする。なお、シリコン酸化膜70とシリコン酸化膜21との間に薄いシリコン窒化膜を形成してもよい。この場合、シリコン窒化膜はエッチングにおけるストップとして機能し、2段階のエッチングにより配線用の溝73を形成できる。

【0060】次に、フォトレジスト膜71を除去し、図14に示すように、溝72の内部を含むシリコン酸化膜70上にタングステン膜（図示せず）を堆積し、溝72以外のタングステン膜を除去して溝72内にタングステンを残存させ、ビット線BLおよび第1層配線32を形成する。シリコン酸化膜70上のタングステン膜の除去には、たとえばCMP法、エッチバック法を用いることができる。

【0061】次に、図15に示すように、エッチバック法を用いてシリコン酸化膜70を選択的にエッチングし、シリコン酸化膜70の表面をビット線BLおよび第1層配線32の表面より低くなるようにする。

【0062】次に、図16に示すように、シリコン酸化膜70、ビット線BLおよび第1層配線32上にシリコン窒化膜73を堆積する。その後、シリコン窒化膜73

10

20

30

40

50

に異方性エッチングを施して、図17に示すように、ビット線BLおよび第1層配線32の側壁部分にサイドウォールスペーサ74を形成する。

【0063】次に、図18に示すように、シリコン酸化膜70、サイドウォールスペーサ74、ビット線BLおよび第1層配線32上にシリコン酸化膜75を形成する。シリコン酸化膜75は、たとえばTEOS酸化膜とし、その表面をたとえばCMP法により平坦化する。

【0064】次に、図19に示すように、シリコン酸化膜75上に図示しないフォトリソist膜を形成し、これをマスクとしてエッチングを施し、スルーホール76を形成する。その後、実施の形態1と同様にスルーホール76内にプラグ77を形成しする。

【0065】スルーホール76の形成の際、実施の形態1と同様に極端に細い孔とする必要がない。つまり、サイドウォールスペーサ74はシリコン窒化膜からなり、シリコン酸化膜75、70、21はエッチングされるが、サイドウォールスペーサ74はエッチングされない条件を選択してサイドウォールスペーサ74をエッチングストップとして機能させることができる。これにより、スルーホール76内に形成されるプラグ77とビット線BLとのショートを防止できる。また、ビット線BL間の絶縁膜は主にシリコン酸化膜70であり、サイドウォールスペーサ74は形成されるがそれ以外の領域はシリコン酸化膜75で構成される。このため、ビット線BL間の絶縁膜の真効的な誘電率はシリコン酸化膜と同程度であり、ビット線BL間の容量を低減して、実施の形態1と同様の効果を得ることができる。

【0066】なお、以降の工程は実施の形態1の図8以降の工程と同じであり、説明を省略する。

【0067】以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可であることはいうまでもない。

【0068】たとえば、前記実施の形態ではビット線および第1層配線の材料としてタングステンを例示したが、これに限定されず、銅、アルミニウム等を用いても良い。

【0069】前記実施の形態ではキャップ絶縁膜31、サイドウォールスペーサ74の材料としてシリコン窒化膜を例示したが、これに限定されず、スルーホールが形成される絶縁膜の材料に対してエッチング選択比を有する絶縁膜であればよい。たとえばスルーホールを形成する絶縁膜をSOG膜で構成する場合にはキャップ絶縁膜31、サイドウォールスペーサ74の材料としてTEOS酸化膜を例示できる。

【0070】前記実施の形態では、下部電極としてルテニウムを例示したが、これに限られず、貴金属膜、そのシリサイド膜もしくは酸化膜またはそれらの化合物膜、たとえば白金膜、ルテニウムシリサイド膜、または、S

RO膜でも良い。これらを下部電極に用いても誘電率の高いBST膜をキャパシタ絶縁膜に適用できる。

【0071】前記実施の形態では、キャパシタ絶縁膜としてBST膜を例示したが、STO膜、または、酸化タantal膜でもよい。

【0072】前記実施の形態では、DRAMに適用した場合について説明したが、DRAMを含む半導体集積回路装置、たとえばシステムLSI等に広く適用することができる。

【0073】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0074】微細化されたビット線間の容量を低減することができる。

【0075】微細化されたビット線の間に配置されるプラグの抵抗を低くできる。

【0076】十分に低い抵抗のプラグを微細化されたビット線間に自己整合的に形成できるとともに、ビット線間の容量値の上昇を抑制できる。

【図面の簡単な説明】

【図1】本発明の一実施の形態（実施の形態1）であるDRAMの製造方法を工程順に示した断面図である。

【図2】実施の形態1のDRAMの製造方法を工程順に示した断面図である。

【図3】実施の形態1のDRAMの製造方法を工程順に示した断面図である。

【図4】実施の形態1のDRAMの製造方法を工程順に示した断面図である。

【図5】実施の形態1のDRAMの製造方法を工程順に示した断面図である。

【図6】実施の形態1のDRAMの製造方法を工程順に示した断面図である。

【図7】実施の形態1のDRAMの製造方法を工程順に示した断面図である。

【図8】実施の形態1のDRAMの製造方法を工程順に示した断面図である。

【図9】実施の形態1のDRAMの製造方法を工程順に示した断面図である。

【図10】実施の形態1のDRAMの製造方法を工程順に示した断面図である。

【図11】実施の形態1のDRAMの製造方法を工程順に示した断面図である。

【図12】実施の形態1のDRAMの製造方法を工程順に示した断面図である。

【図13】本発明の他の実施の形態（実施の形態2）であるDRAMの製造方法を工程順に示した断面図である。

【図14】実施の形態2のDRAMの製造方法を工程順に示した断面図である。

【図15】実施の形態2のDRAMの製造方法を工程順に示した断面図である。

【図16】実施の形態2のDRAMの製造方法を工程順に示した断面図である。

【図17】実施の形態2のDRAMの製造方法を工程順に示した断面図である。

【図18】実施の形態2のDRAMの製造方法を工程順に示した断面図である。

【図19】実施の形態2のDRAMの製造方法を工程順に示した断面図である。

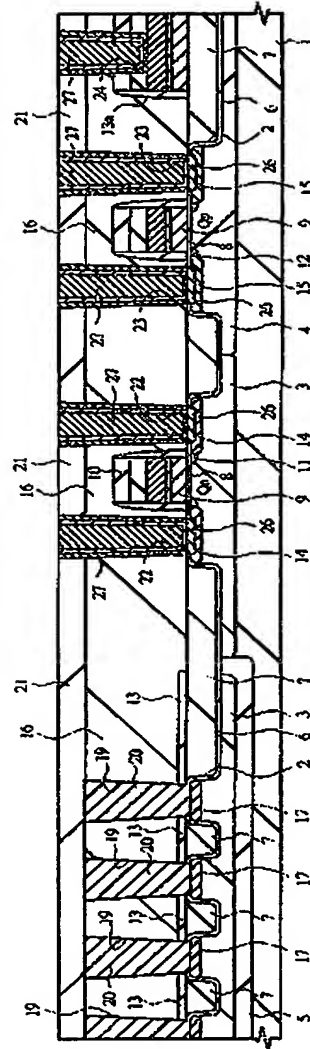
【符号の説明】

- 1 基板
- 2 素子分離溝
- 3 p型ウェル
- 4 n型ウェル
- 5 n型ウェル
- 6 シリコン酸化膜
- 7 シリコン酸化膜
- 8 ゲート酸化膜
- 9 ゲート電極
- 10 キャップ絶縁膜
- 11 n⁺型半導体領域
- 12 p⁺型半導体領域
- 13 窒化シリコン膜
- 13a サイドウォールスペーサ
- 14 n⁺型半導体領域
- 15 p⁺型半導体領域
- 16 シリコン酸化膜
- 17 n⁺型半導体領域
- 19 コンタクトホール
- 20 プラグ
- 21 シリコン酸化膜
- 22 コンタクトホール
- 26 シリサイド膜
- 27 プラグ
- 28 タングステン膜
- 29 シリコン窒化膜
- 30 フォトレジスト膜

- 31 キャップ絶縁膜
- 32 第1層配線
- 34 シリコン酸化膜
- 35 フォトレジスト膜
- 38 スルーホール
- 39 プラグ
- 40 バリア膜
- 41 シリコン窒化膜
- 42 シリコン酸化膜
- 43 孔
- 45 下部電極
- 46 BST膜
- 49 上部電極
- 50 キャパシタ絶縁膜
- 52 シリコン酸化膜
- 56, 57 スルーホール
- 58 窒化チタン膜
- 59 タングステン膜
- 60 プラグ
- 61 シリコン窒化膜
- 62 シリコン酸化膜
- 63 溝
- 64 バリア膜
- 65 銅膜
- 70 シリコン酸化膜
- 71 フォトレジスト膜
- 72 溝
- 73 シリコン窒化膜
- 73 溝
- 74 サイドウォールスペーサ
- 75 シリコン酸化膜
- 76 スルーホール
- 77 プラグ
- BL ビット線
- Qn nチャネル型MISFET
- Qp pチャネル型MISFET
- Qs メモリセル選択用MISFET
- WL ワード線

【図1】

図 1

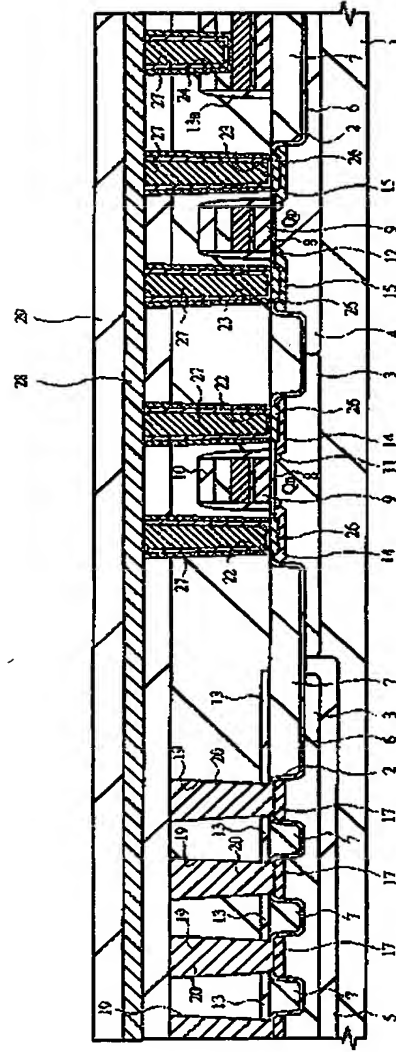


(12)

特開2001-217405

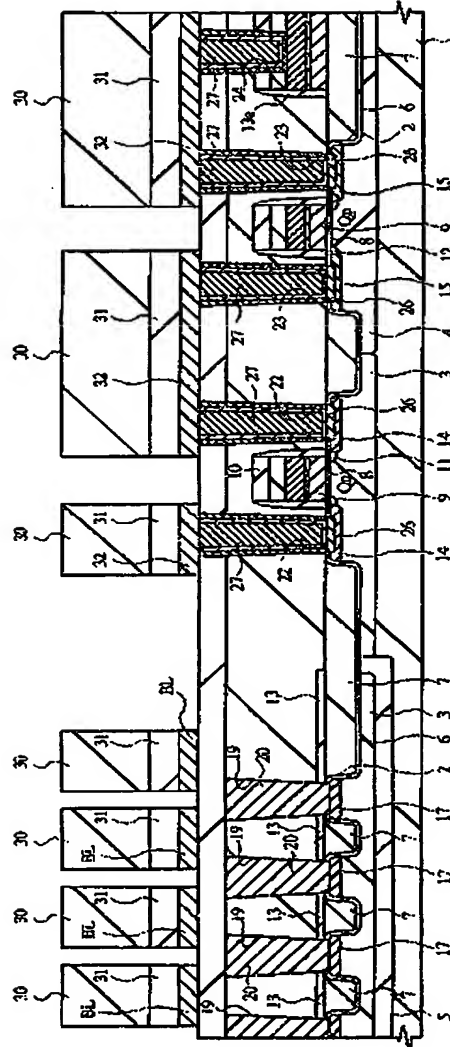
【図2】

図 2

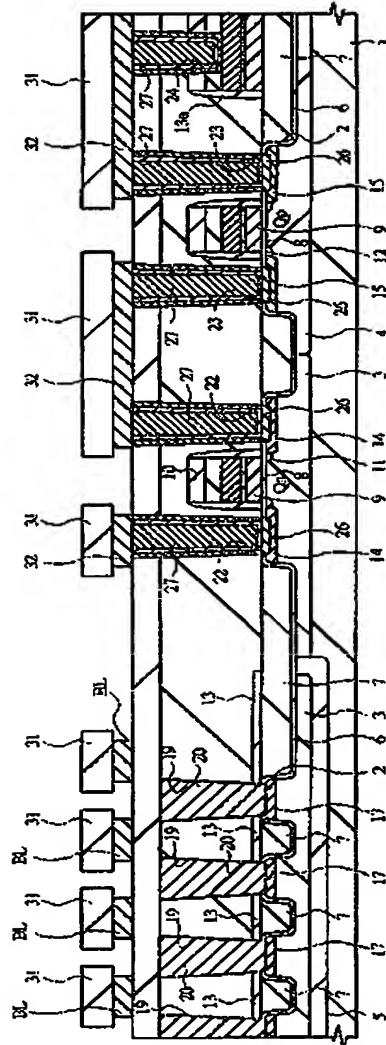


【図3】

図 3

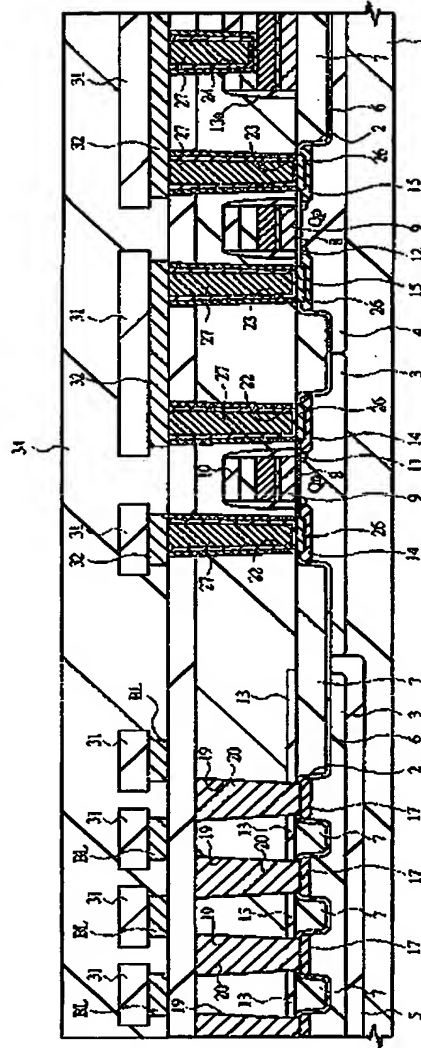


【図4】



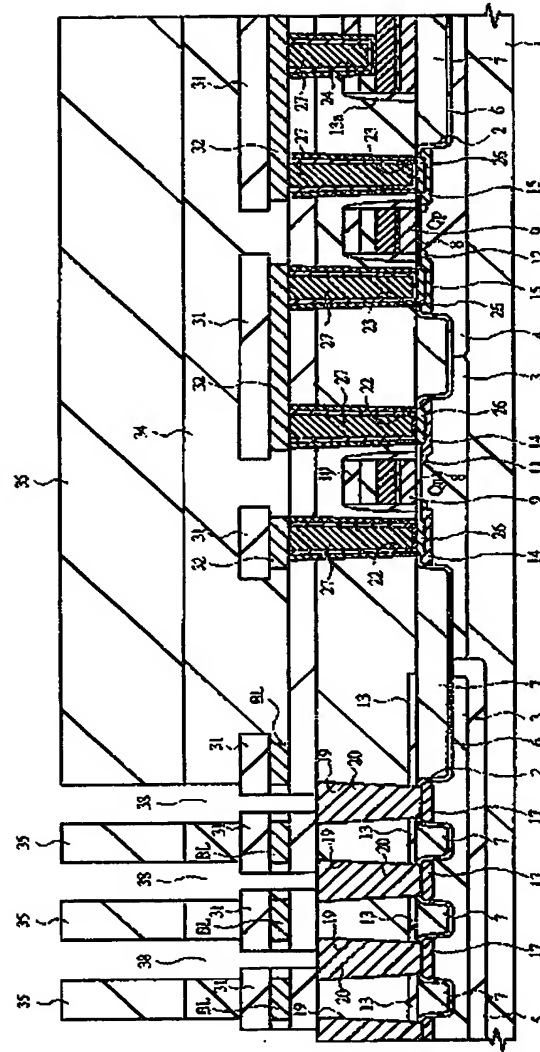
【図5】

図 5



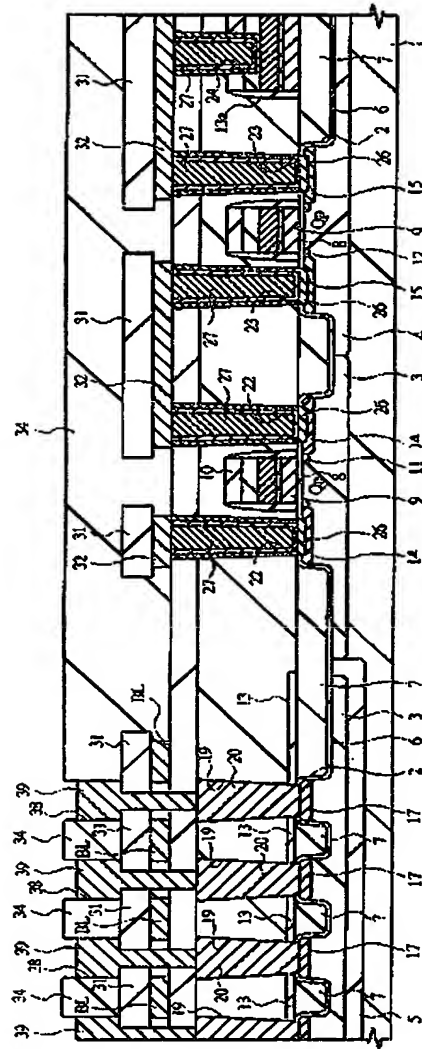
【図6】

図 6



【図7】

図 7

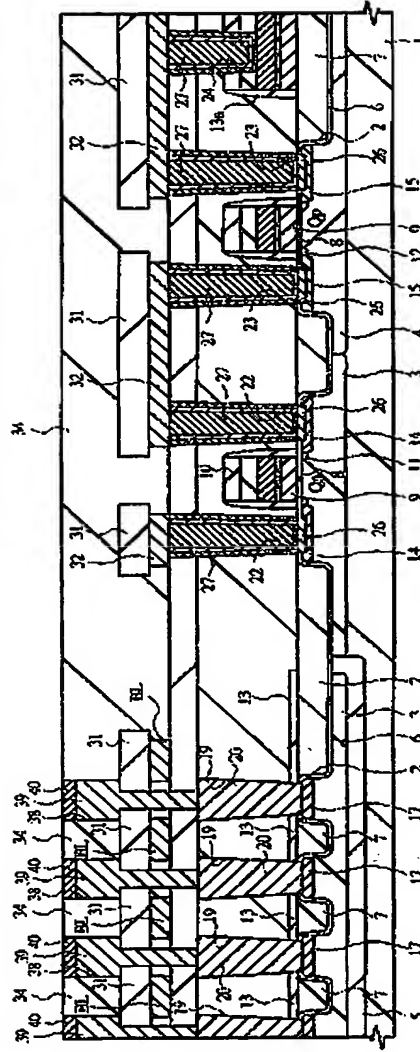


(18)

特開2001-217405

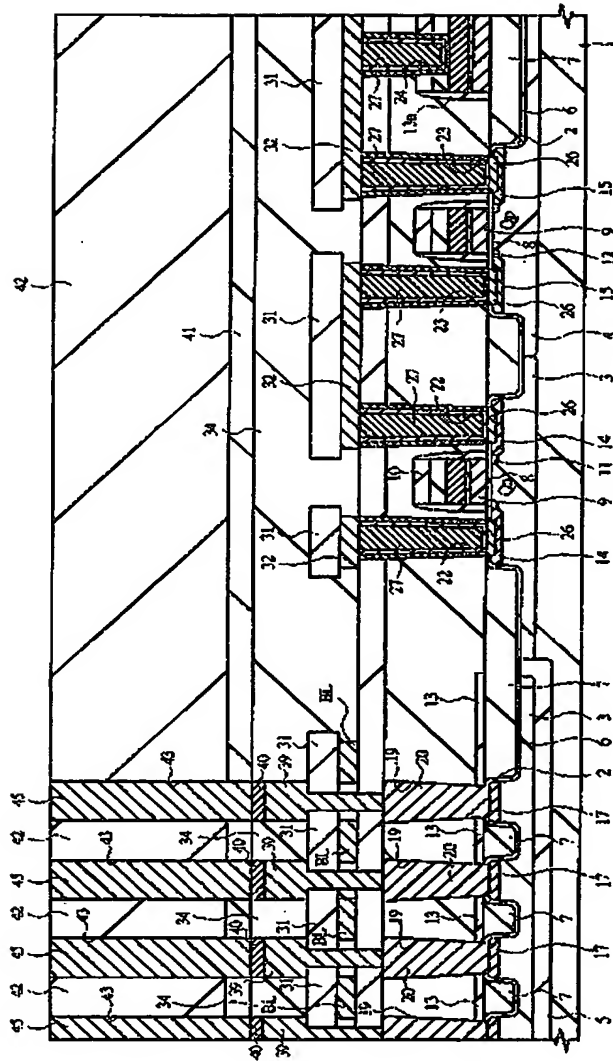
【図8】

図 8



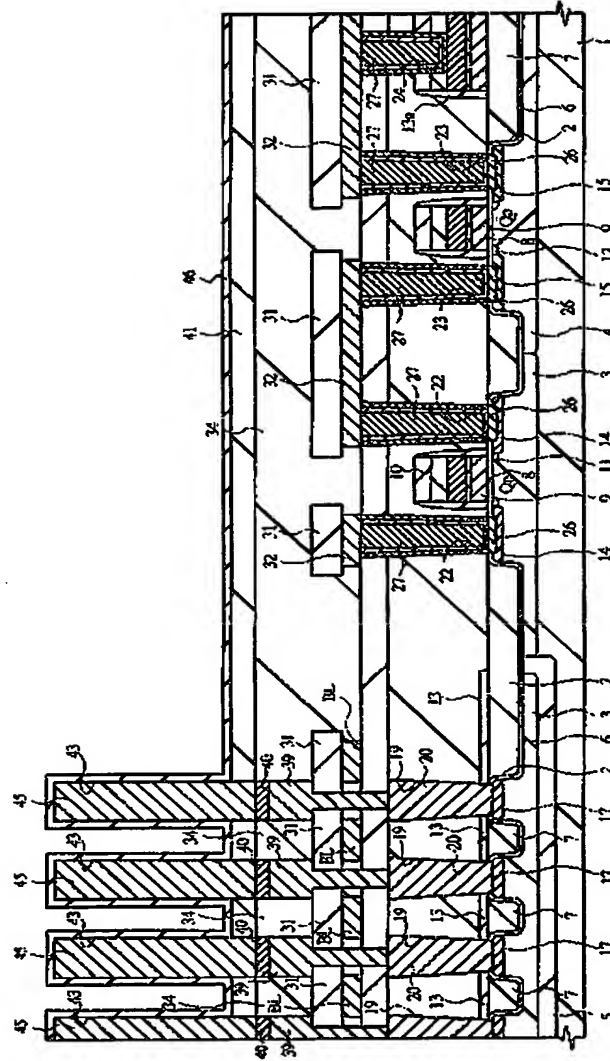
【図9】

図 9



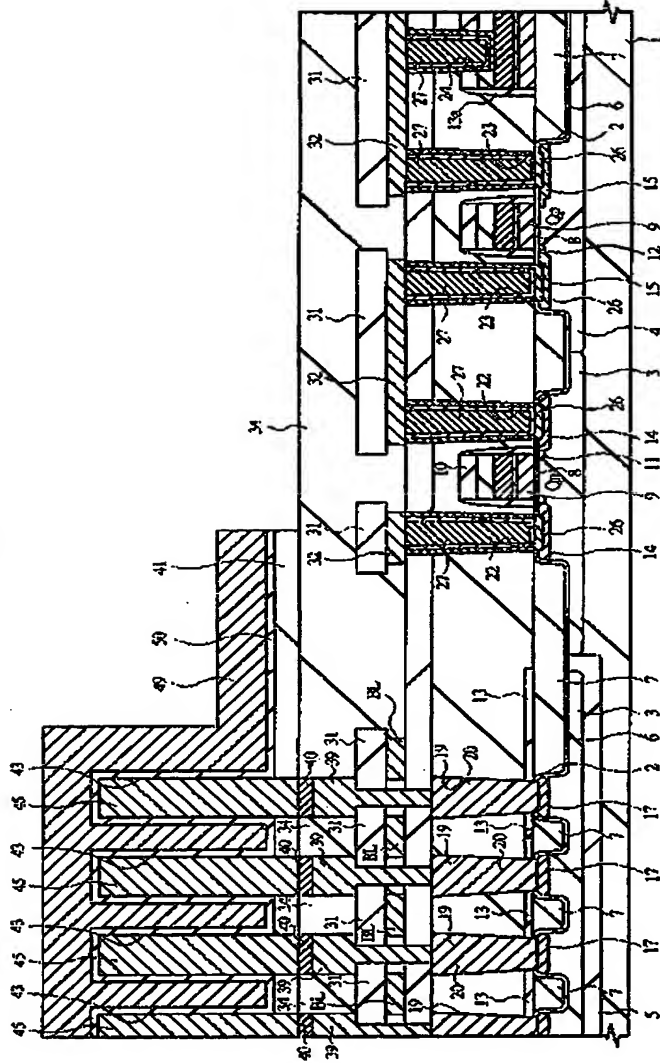
【図10】

図 10

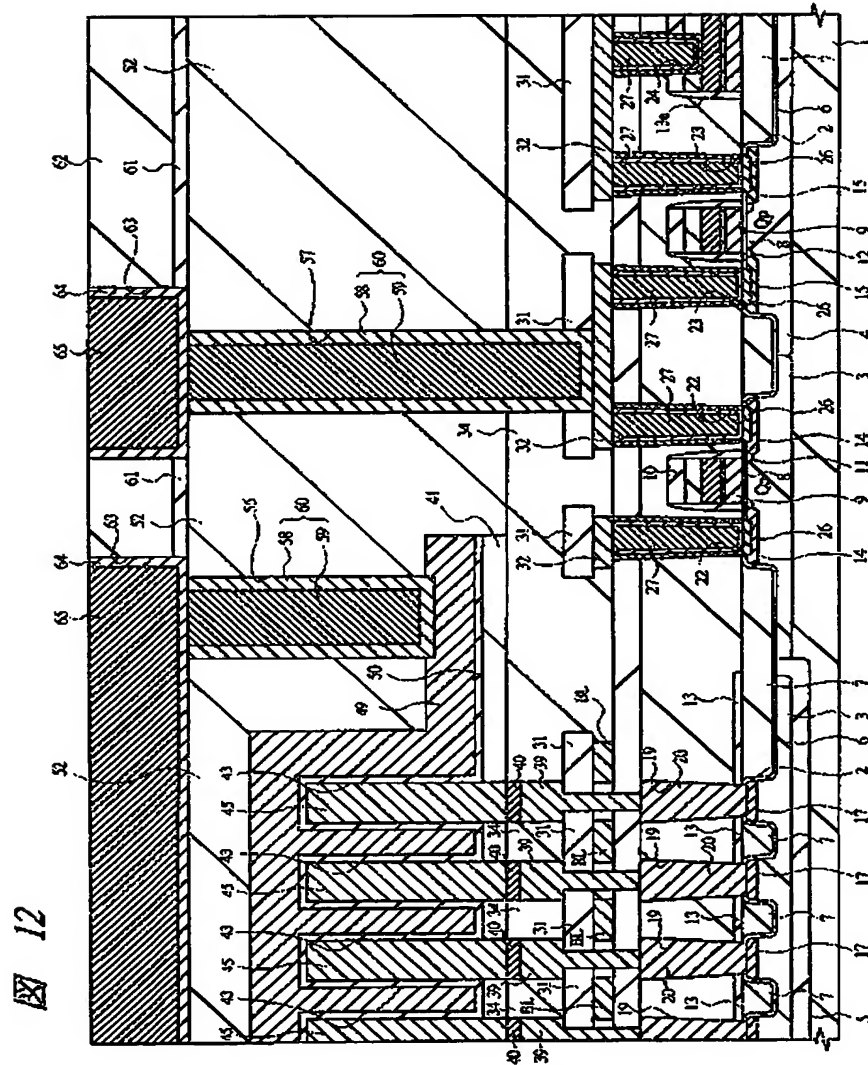


【図11】

図 11

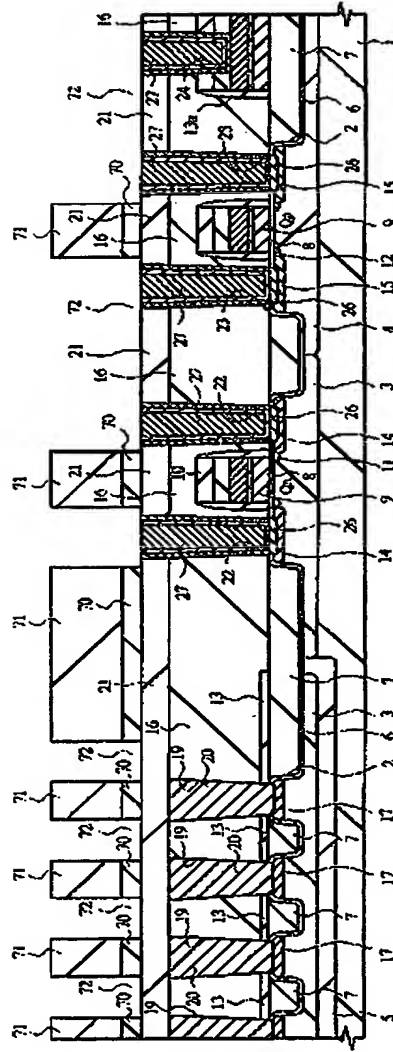


【図12】



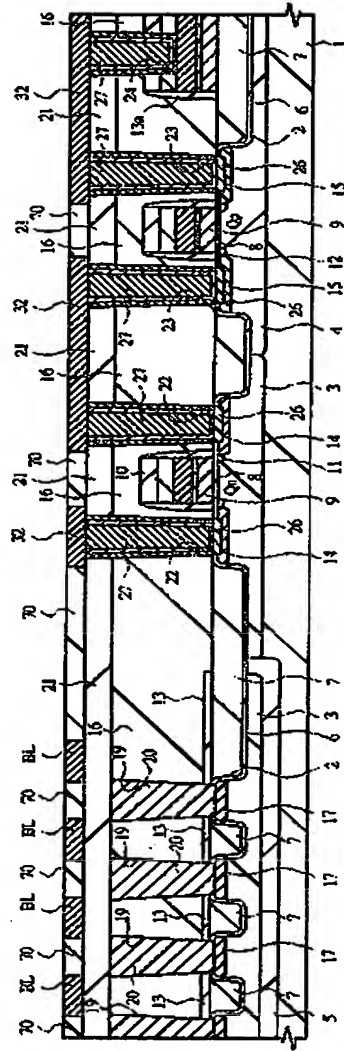
【図13】

図 13.

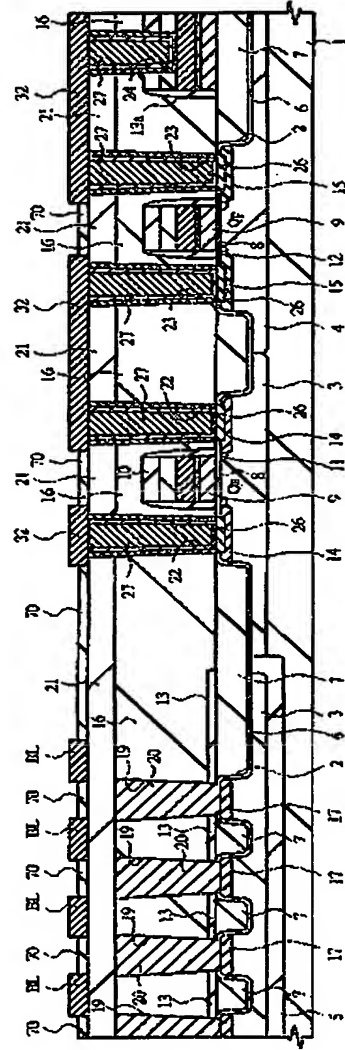


【図14】

図 14



【图 15】

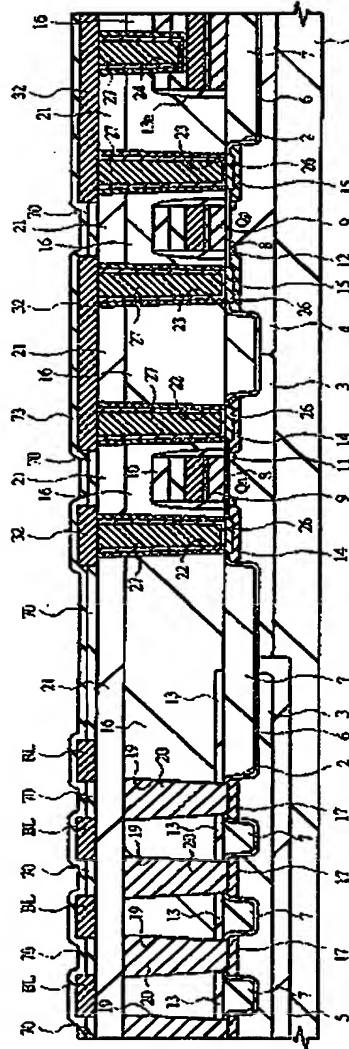


(26)

特開2001-217405

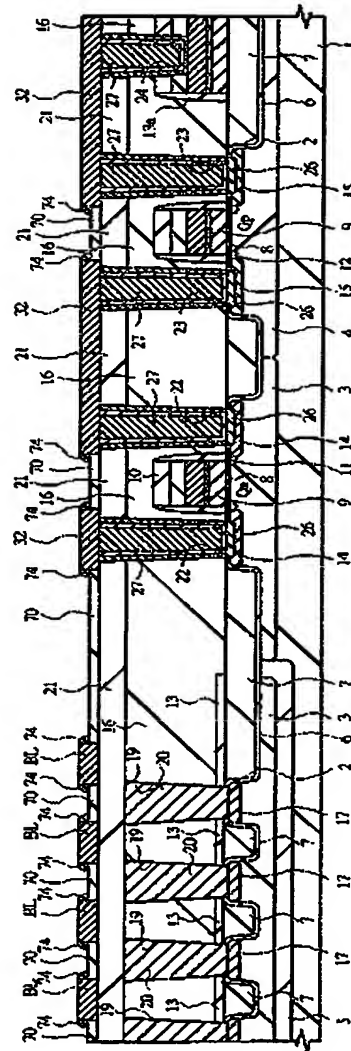
【図16】

図 16



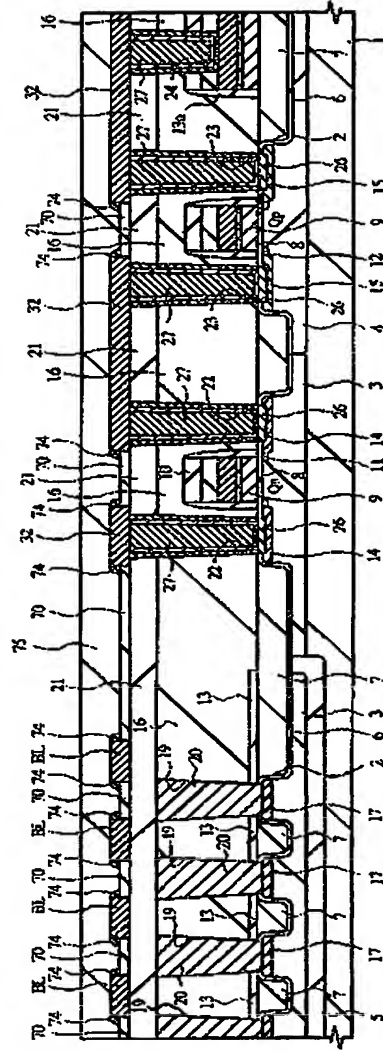
【図17】

図 17



【図18】

図 18



【図19】

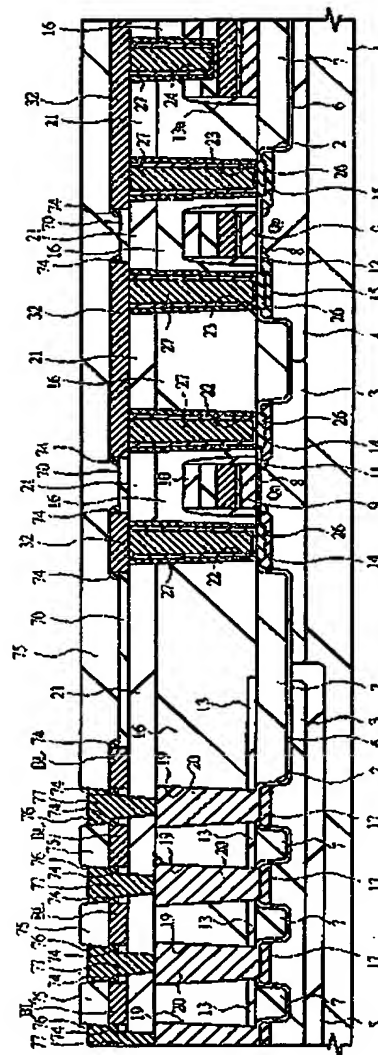


図 19

フロントページの続き

(72)発明者 山田 信
東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内
(72)発明者 永井 亮
東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(72)発明者 松岡 秀行
東京都国分寺市京恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内
(72)発明者 高瀬 則克
東京都国分寺市京恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

F ターム(参考) 5F083 AD42 GA02 GA03 GA25 JA14
JA35 JA38 JA39 JA40 JA43
JA56 MA04 MA06 MA16 MA17
MA19 MA20 PR03 PR05 PR06
PR07 PR10 PR21 PR29 PR33
PR39 PR40 PR45 PR46 PR55
PR56 ZA06